

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **55-099762**

(43)Date of publication of application : **30.07.1980**

(51)Int.Cl.

**H01L 27/06**

**G11C 11/34**

**H01L 29/78**

(21)Application number : **54-007126**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **26.01.1979**

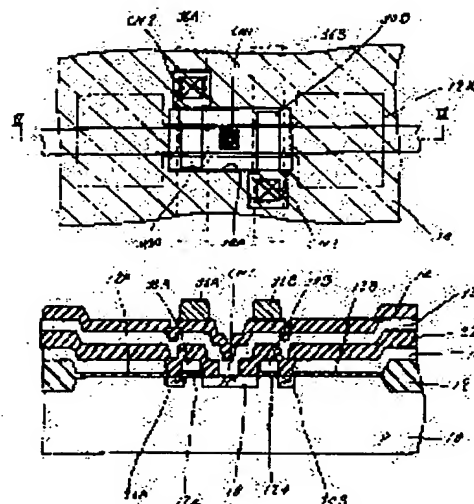
(72)Inventor : **KAWAMOTO HIROSHI**

## (54) SEMICONDUCTOR MEMORY DEVICE

### (57)Abstract:

**PURPOSE:** To make it possible to get high speed operation without lowering reliability by forming the surface electrode of an information storage capacitor, the gate of an information transfer IGFET and a digit line by using the 1st, 2nd and the 3rd layers poly-silicon.

**CONSTITUTION:** Field oxide film 12 consisting of SiO<sub>2</sub> is formed on P-type Si semiconductor substrate 10 by selective diffusion, and outline 12X for forming an active region is provided here. Inside this are placed thin silicon oxide films 12A, 12B, 12a, 12b, which have been formed by heat oxidization. The 2nd poly-silicon layers 30A, 30B provided on films 12a and 12b are used only as the gate electrodes of the 1st and 2nd IGFET, and not used as a word line simultaneously. A digit line, to be connected to N+-type common source region 18 by means of contact CN1, is formed of the 3rd poly-silicon layer 32. A word line which crosses digit line 32 is formed of the 4th metal layers 36A and 36B.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)  
⑭ 公開特許公報 (A)

⑮ 特許出願公開  
昭55-99762

⑯ Int. Cl.<sup>9</sup> 識別記号 庁内整理番号 ⑰ 公開 昭和55年(1980)7月30日  
H 01 L 27/06 1 0 1 6426-5F  
G 11 C 11/34 7922-5B  
H 01 L 29/78 6603-5F  
発明の数 1  
審査請求 未請求

(全 4 頁)

⑱ 半導体記憶装置

社日立製作所コンピュータ事業  
本部デバイス開発センター内

⑲ 特 願 昭54-7126

⑳ 出 願 人 株式会社日立製作所

㉑ 出 願 昭54(1979)1月26日

東京都千代田区丸の内1丁目5  
番1号

㉒ 発 明 者 川本洋

㉓ 代 理 人 弁理士 薄田利幸

小平市上水本町1450番地株式会社

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1. 起電ゲート電界効果素子トランジスタによって情報書き込み・パシムへの情報電荷の出し入れを制御するようにした1トランジスタ形式のセル構造を有する、とらり合セルのトランジスタの共通ソース領域に接続したゲート線と、各々のセルのトランジスタのゲートに対応して接続したワード線とを交互に配列するように配列して成る半導体記憶装置において、前記キャパシタの両端電圧と、前記トランジスタのゲートと、前記ゲート線とをいずれもゲリソリコンで駆動すると共に、前記ワード線を前記ゲート線に上から重なる金属層で形成したことを特徴とする半導体記憶装置。

発明の利便な説明

この発明は、起電ゲート電界効果素子トランジスタ(以下、1GPE Tという)によって情報書き込み・パシムへの情報電荷の出し入れを制御するようにした1トランジスタ形式のセル構造を有する

半導体記憶装置に関する。

一般に、この種の半導体記憶装置は、その1つのメモリのセルの導電回路を第1図に示してあるように、情報伝送用の1GPE Tと、情報書き込み・パシムとからなるメモリのセルをワード線W<sub>0</sub>及びゲート線D<sub>0</sub>の交差点に対応して多数個マトリクス状に配列することによって構成され、第2図に示すようにワード線電圧V<sub>W</sub>をV<sub>0</sub>から所定の高電圧にすることによってキャパシタCの情報電荷を1GPE Tを介してゲート線D<sub>0</sub>に読み出し、"0"情報に対応したゲート線電圧V<sub>D0</sub>又は"1"情報に対応したゲート線電圧V<sub>D1</sub>を得るようになっている。そして、このような半導体記憶装置は、第3図及び第4図に示すようにセンスアンプSAに接続される一列のゲート線D<sub>0</sub>に対して各ワード線W<sub>0</sub>がどのように交叉するかとの観点から一交点方式のものと二交点方式のものとに大別されるのが普通である。すなわち、一交点方式のものは第3図に示すように1つのセンスアンプSAに接続される一列のゲート

(1)

(2)

ト線Dに対して各ワード線W<sub>1</sub>が1回しか交差しないものであり、二交点方式のものは1つのセクタに2本のワード線が交差する一対のデジタリ線D<sub>1</sub>に対して各ワード線W<sub>1</sub>が2回交差するものである。

上記のようなワード線-デジタリ線交差配置は、当然にセル配置及び周辺回路配置に影響を及ぼすものであり、二交点方式の配置は二交点方式のものに比べてセル及び周辺回路配置が複雑で、高密度化に適さない欠点がある。このため、最近の記憶装置は殆ど二交点方式のものになっており、その代表的なセル構造は第1図及び第2図に例示されている。

第1図及び第2図は、従来の二交点方式の半導体記憶装置の一例であり、1つのワード線の構造を示すもので、これらの図において、10はP型シリコンからなる半導体基板、12は高抵抗層を形成して形成した $\text{SiO}_2$ からなる薄いフィールドオキサイド膜、13はフィールドオキサイド膜12にアクティブ領域が形成された開口部又は

(3)

及び第2のIGFETのゲートないしワード線として作用するポリシリコン層15A、15Bが形成されている。これらのポリシリコン層15A、15BはCVD法等により低抵抗の第1層15Aとして形成されるもので、第2層15Bはポリシリコン層15Aの開口部14Aを覆うように形成される。しかも図示しない $\text{SiO}_2$ などの絶縁膜を介してポリシリコン層15Aから形成された形で形成されている。

$\text{N}^+$  領域18、20A、20Bはポリシリコン層14、15A、15Bを形成後、これらをマスクとしたいわゆる自励重合方式の拡散及び/又はイオン打込等の処理で形成されたもので、 $\text{N}^+$  領域18は第1及び第2のIGFETに共通のソース領域として、また $\text{N}^+$  領域20A、20Bはそれぞれ第1及び第2のIGFETのドレイン領域として作用するようになっている。

ポリシリコン層14、15A、15Bの上には、 $\text{SiO}_2$ などの絶縁膜16がCVD法等により形成されており、この絶縁膜16の上には、ワ

(4)

その構造を示すものである。アクティブ領域が形成された開口部14A内には酸化膜17により形成された薄いシリコンオキサイド膜18A、18B、18Cが形成されている。シリコンオキサイド膜18A、18Bはそれぞれ第1及び第2の情報記憶用キャパシタの誘電体として作用するものであり、シリコンオキサイド膜18C、18Dはそれぞれ第1及び第2のIGFETのゲート絶縁膜として作用するものである。

シリコンオキサイド膜18、18A、18Bの上には第3層19としてシリコン層19Aを有する第1層19Bとしてポリシリコン層19CがCVD法等により形成されている。このポリシリコン層19Cは、CVDの過程で又はその後シリコンの不純物が高抵抗ドープされることによって低抵抗化されているもので、シリコンオキサイド膜18A、18B上に位置する部分がそれぞれ第1及び第2の情報記憶用キャパシタの誘電体として作用するようになっている。一方、シリコンオキサイド膜18C、18Dの上にはそれぞれ第1

(5)

ード線用ポリシリコン層19A、19Bとほぼ等しくなるようにA<sub>1</sub>等からなるデジタリ線用金属層19Cが形成されている。この金属層19Cは、第3層19Bの配線として第1層19Bにより形成されるもので、その一部分19Dは絶縁膜16に設けたコンタクト孔を介して共通ソース領域18Cとオーミック接触している。

上記構造の半導体装置は、二交点方式のものに比べてセル及び周辺回路配置が簡単で、高密度化に適する利点を有する反面、ワード線がポリシリコンで形成されているためその抵抗が大きく、動作速度が遅い欠点がある。すなわち、通常ワード線の電圧は8〜10Vであり、ワード線をポリシリコンで形成するとその抵抗値は10〜40k $\Omega$ となる。このため、かような電圧分と抵抗分とによる信号遅延作用が相対的に大きくなり、信号遅延のない高速動作が低く制限されることになる。いま第1図を参照して図1の動作原理を例示すると、ワード線に駆動パルスを加えてからワード線電圧 $V_w$ が定常値に達するまでは約

(6)

特開昭55-99762(3)

80~80 nsec の時間を要する。そして、この  
ような時間遅れの故、情報伝送用 IGFET が十  
分経過してから "1" 又は "0" に対応したデジ  
ット電圧  $V_D$  又は  $V_{D1}$  が定常値に達する。一方、  
センスアンプは増幅指令信号が約 10~20 nsec  
で定常値に達するため情報伝送用 IGFET が十  
分経過する以前に増幅動作を開始している。しか  
し、上記のようにワード線ないしデジットの電  
圧立上りが遅いのはいくもセンスアンプの動作  
開始が遅くても誤差は過大にはならないものであ  
る。

なか、ワード線抵抗を減らして動作速度を高め  
るためには、第8図及び第9図に示した装置にか  
いて、ワード線16A、16BをA4等の金属で  
形成することも考えられるが、これではその形成  
手段として蒸着法等を用いることになるため装置  
面(例えばフィールドオキサイド開口部13X)  
で断線が生じやすく、装置の信頼性が低下する欠  
点がある。

従って、この発明の目的は、信頼性を低下させ

m

置した第8図ポリシリコン層80A、80Bをそ  
れぞれ第1及び第3のIGFETのゲート電極と  
してのみ用いるようにし、ワード線に取用しない  
ようにしたこと、第2にCN1にて接続されるデジ  
ット線を第8図のポリシリコン層80で形成したこ  
と、第3にデジット線80と重なるワード線を  
...4のような第8図の金属層80A、80Bで形  
成し、これらの金属層80A、80Bの各一部分  
CN3、CN5を810、などからなる補助絶縁  
膜80の対応するコンタクト孔を介してゲート用  
ポリシリコン層80A、80Bにそれぞれオー  
ソド接合させるようにしたことである。なか、上  
記実施例において、IGFETのゲートを1層目  
ポリシリコンで形成し、キャパシタの両電極を  
第8図ポリシリコンで形成するようにしてもよい。  
上記したこの発明の構成によれば、金属層80  
A、80Bのシート抵抗は10 $\Omega$ /口程度に低下さ  
せうことからワード線の配線抵抗を大幅に減ら  
し、高速動作を行なわせることが可能になる。こ

(m)

ることなく高速動作を可能にした改良された二交  
点方式の半導体記憶装置を提供することにある。

この発明の一実施例による半導体記憶装置は、  
情報読取用キャパシタの両電極を第1層目のポ  
リシリコンで、情報伝送用IGFETのゲートを  
第2層目のポリシリコンで、デジット線を第3  
層目のポリシリコンでそれぞれ形成すると共に、ワ  
ード線を第4層目の金属層で形成したことを特徴  
とするものであり、以下、本発明について詳述  
する。

第8図及び第9図は、この発明の一実施例によ  
る1トランジスタ2セル構造を有する二交点方式  
の半導体記憶装置を示すもので、特に第8図はと  
なり合セルの平面配線図、第9図は第8図に一  
区域に切り取った断面をそれぞれ示している。これらの  
図において、第8図及び第9図に於けると同様な  
部分には同様な符号を付してその詳細な説明を省  
略する。第8図及び第9図に示した装置の特徴と  
するところは、第1にゲート絶縁膜としてのシリ  
コンオキサイド膜13a、13bと上とそれぞれ配

の点、ポリシリコンのシート抵抗は10 $\Omega$ /口以  
下に低下させるのが困難であり、この発明によれ  
ばワード線の配線抵抗を従来の約1/10程度に  
低下させることができる。また、ワード線の配線  
抵抗の低下は、雑音の影響を生ずる誤動作を防止  
し、動作の安定性を高める点でも有益である。さ  
らに、この発明の装置では、デジット線、IGF  
ETのゲート及びキャパシタの両電極がいずれ  
もポリシリコンで形成され、比較的取扱いの少ない  
最上層(第4層)のみが金属配線となっているの  
で、断線事故の発生を最少限に抑えることがで  
き、高い信頼性を確保することができる。なか、  
この発明の装置は二交点方式のものであるから、  
一交点方式のものの欠点を併わないことは明らか  
である。

図面の簡単な説明

第1図は、1トランジスタ2セル構造の半導  
体記憶装置、第2図は、第1図の回路の動作を説明す  
るためのタイムチャート、第3図及び第4図はワ  
ード線及びデジット線の配線を示す平面図、第5

1475  
25

(n)

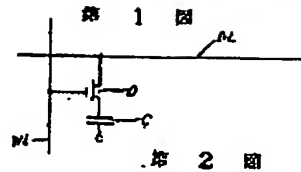
図は、従来のトランジスタ素子構造の半導体配線装置の電極配線を示す上面図、第6図は、第5図の装置の同一断面に於り断面図、第7図は、第5図の装置の動作を説明するためのタイムチャート、第8図は、この発明の一実施例によるトランジスタ素子構造の半導体配線装置の電極配線を示す上面図、第9図は、第8図の装置の同一断面に於り断面図である。

10—半導体基板、11、12A、12B、13A、13B—シリコンオキサイド膜、14—キャパシタの誘電体として用いられるシリコン層、15A、15B—ゲート・ワード線用ポリシリコン層、16—内通ソース領域、20A、20B—ドレイン領域、21、22—側面絶縁膜、23—アジャスト層用金属層、24A、24B—ゲート用ポリシリコン層、25—アジャスト層用金属層、26A、26B—ワード線用金属層。

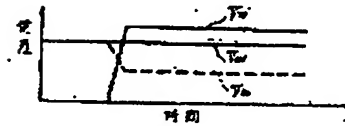
代理人 弁護士 藤田 利 幸

05

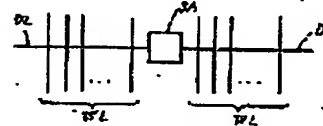
特開 55-99762(4)



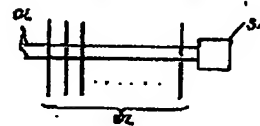
第 2 図



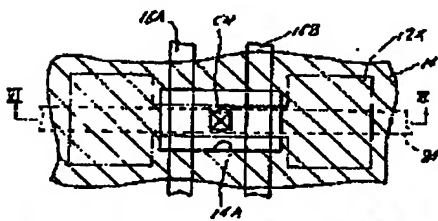
第 3 図



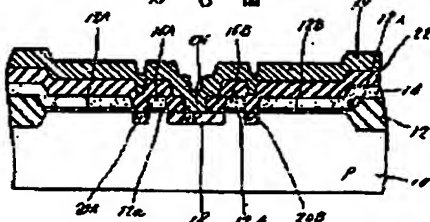
第 4 図



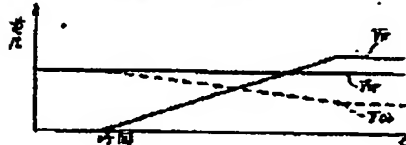
第 5 図



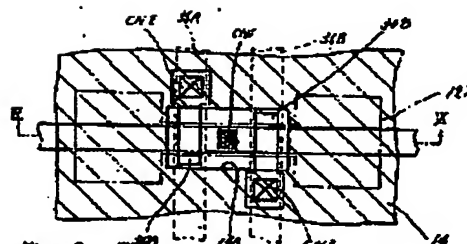
第 6 図



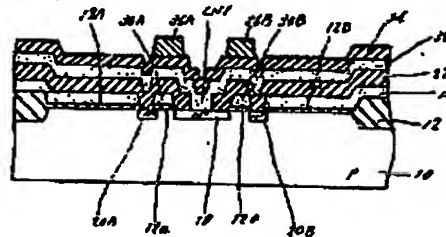
第 7 図



第 8 図



第 9 図



昭 61. 4. 15 発

特許法第17条の2の規定による補正の掲載

昭和 54 年特許願第 7126 号 (特開 昭 55- 99762 号、昭和 55 年 7 月 30 日 発行 公開特許公報 55- 998 号掲載) については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 7 ( 2 )

Int. Cl. 4	識別記号	庁内整理番号
H01L 27/06 G11C 11/34 H01L 29/78	101	6655-57 6532-58 6422-59

手 続 補 正 書 ( 特 許 )

昭和 61 年 1 月 24 日

特許庁長官様

事件の表示

昭和 54 年 特許願 第 7126 号

発明の名称

半導体記憶装置

方式 ①  
審査 ②

補正をする者

事件との関係 特許出願人

名 称 (510) 株式会社 日立 製 作 所

代 理 人

所 東京部千代田区丸の内一丁目5番1号

株式会社日立製作所内

電話 東京 212-1111 (大代表)

氏 名 (6550) 弁護士 小 川 勝 男

補正の対象

明細書の特許請求の範囲の欄

補正の内容

1. 明細書の特許請求の範囲の記載を別紙のとおりに補正する。

別 紙

特許請求の範囲

1. 絶縁ゲート型電界効果トランジスタによって情報蓄積用キャパシタへの情報電荷の出し入れを制御するようにしたメモリセルと、各メモリセルの絶縁ゲート型電界効果トランジスタのゲート間を電気的に接続するための接続用配線とを有する二次元方式の半導体記憶装置であって、上記ゲートの電導材料と上記接続用配線の材料とを異ならせたことを特徴とする半導体記憶装置。

代理人 弁護士 小 川 勝 男



(46) 7-

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**